

Digital cardiac pacemaker clocking means

Patent Number: ☐ US4275738
Publication date: 1981-06-30
Inventor(s): MCDONALD RAY S; ROSSING MARTIN A
Applicant(s):: MEDTRONIC INC
Requested Patent: ☐ DE2944574
Application Number: US19780958322 19781106
Priority Number(s): US19780958322 19781106
IPC Classification: A61N1/36
EC Classification: A61N1/362, A61N1/37C, A61N1/372B
Equivalents: AU5239479, AU528725, CA1149466, ☐ EP0011940, ☐ FR2440751

Abstract

A programmable cardiac pacemaker pulse generator utilizing digital circuitry for controlling the provision of cardiac stimulating pulses. The pulse generator is capable of having the rate, the pulse width, the pulse amplitude, the refractory period, the sensitivity and the mode of operation programmed. In addition, the pulse generator can have the output inhibited and can respond to programming signals causing a threshold margin test to be performed, effects of closure of the reed switch overridden, a hysteresis function added and a high rate exceeding the normal upper rate limit programmed. Many of the programmable functions of the pulse generator can either be programmed on a permanent or a temporary basis. The pulse generator further includes means for signaling the acceptance of a programming signal, and means to reset the program acceptance circuit if extraneous signals are detected as programming signals. The program signal acceptance circuit performs several different checks on the detected programming signal including a parity check, an access code check and determining if the proper number of signals were transmitted within a given time. The timing circuit of the pulse generator includes a crystal clock oscillator and counter means for counting the clock pulses therefrom to determine the rate of the pacemaker. The pulse width of each pacemaker pulse is determined by using a voltage controlled oscillator in place of the crystal oscillator to obtain energy compensation due to the battery voltage decreasing with time.

Data supplied from the esp@cenet database - I2

① BUNDESREPUBLIK
DEUTSCHLAND



DEUTSCHES
PATENTAMT

⑫ Patentschrift
⑪ DE 2944574 C2

⑲ Aktenzeichen: P 29 44 574.7-33
⑳ Anmeldetag: 5. 11. 79
㉑ Offenlegungstag: 14. 5. 80
㉒ Veröffentlichungstag
der Patenterteilung: 8. 10. 87

⑤ Int. Cl. 4:
A61N 1/362
H 03 K 23/00
G 05 B 19/02
G 06 F 15/42

Innerhalb von 3 Monaten nach Veröffentlichung der Erteilung kann Einspruch erhoben werden

③ Unionspriorität: ③② ③③ ③①
06.11.78 US 958322

⑦ Patentinhaber:
Medtronic, Inc., Minneapolis, Minn., US

⑦④ Vertreter:
Schwan, G., Dipl.-Ing., Pat.-Anw., 8000 München

⑦② Erfinder:
McDonald, Ray S., St. Paul, Minn., US; Rössing,
Martin A., Anoka, Minn., US

⑤⑥ Im Prüfungsverfahren entgegengehaltene
Druckschriften nach § 44 PatG:

DE-OS 27 57 757
DE-OS 27 07 052
DE-OS 22 36 434

⑤④ Digital gesteuerter Herzschrittmacher-Impulsgenerator

DE 2944574 C2

Best Available Copy

DE 2944574 C2

Patentansprüche

1. Digital gesteuerter Herzschrittmacher-Impuls-
generator zum Anliefern von Herzreizimpulsen mit
definierter Folgefrequenz und definierter Impuls-
breite, mit einem eine Folge von Taktimpulsen be-
reitstellenden Taktimpulsgeber, einer die Folgefre-
quenz und die Impulsbreite bestimmenden Zähl-
einrichtung mit einem ersten Zählabschnitt, dem die
Taktimpulse zugeführt werden und der mittels ei-
ner an ihn angeschlossenen Impulsbreitendecodier-
stufe die Impulsbreite bestimmt, und mit einem auf
den ersten Zählabschnitt folgenden zweiten Zähl-
abschnitt, der mittels einer ihm zugeordneten Ra-
tendecodierstufe die Impulsfolgefrequenz be-
stimmt, sowie mit einer auf die Signale der Raten-
und der Impulsbreitendecodierstufe ansprechen-
den Ausgangsstufe zur Abgabe der Herzreizimpul-
se, dadurch gekennzeichnet, daß der erste Zähl-
abschnitt der Zähleinrichtung (152, 156) aus einem
ersten Zähler (152) besteht, der, solange die Batte-
riespannung einen vorgegebenen Grenzwert nicht
unterschreitet, jeweils bei Erreichen eines ersten
bestimmten Zählwerts einen Impuls über eine Logi-
kschaltung (154) an den aus einem zweiten Zähler
(156) bestehenden zweiten Zählabschnitt abgibt
und auf seinen Ausgangszählwert zurückgestellt
wird, wohingegen bei Abfall der Batteriespannung
unter den vorgegebenen Grenzwert eine Span-
nungsüberwachungsschaltung (162) die Abgabe
des Impulses über die Logikschaltung (154) bei Er-
reichen des ersten Zählwerts blockiert und die Logi-
kschaltung (154) dann erst bei Erreichen eines
zweiten bestimmten Zählwerts durch den ersten
Zähler (152), der höher als der erste bestimmte
Zählwert ist, einen Impuls an den zweiten Zähler
(156) abgibt.

2. Herzschrittmacher-Impulsgenerator nach An-
spruch 1, dadurch gekennzeichnet, daß der erste
Zähler (152) eine Gruppe von als Binärzähler ge-
koppelten, rückstellbaren bistabilen Zählstufen
(152A bis 152I) aufweist und die Logikschaltung
(154) mit Torschaltungen (154A, 154B, 154C) verse-
hen ist, die, solange die Batteriespannung den vorge-
gebenen Grenzwert nicht unterschreitet, auf das
Umschalten der letzten Zählstufe (152I) anspre-
chen und die bei Abfall der Batteriespannung unter
den vorgegebenen Grenzwert nach dem Umschal-
ten der letzten Zählstufe (152I) erst auf das Um-
schalten von vorbestimmten, der letzten Zählstufe
vorausgehenden Zählstufen (152B, 152C, 152D,
152E) ansprechen.

3. Herzschrittmacher-Impulsgenerator nach An-
spruch 1 oder 2, dadurch gekennzeichnet, daß die
Spannungsüberwachungsschaltung (162) eine bi-
stabile Schaltungsstufe (162A) aufweist, die an die
Logikschaltung (154) ein bei Abfall der Batterie-
spannung unter den vorgegebenen Grenzwert von
einem auf einen anderen Wert umspringendes Um-
schaltssignal gibt.

Beschreibung

Die Erfindung betrifft einen digital gesteuerten Herz-
schrittmacher-Impulsgenerator gemäß dem Oberbe-
griff des Patentanspruchs 1.

Ein derartiger Herzschrittmacher-Impulsgenerator
ist aus der DE-OS 22 36 434 bekannt. Bei dem bekannt-

ten Herzschrittmacher-Impulsgenerator kann ein Ab-
sinken der Batteriespannung unter einen vorgegebenen
Grenzwert nicht oder nur schwierig festgestellt werden.

Des weiteren ist ein Herzschrittmacher mit einem
eine Folge von Taktimpulsen bereitstellenden Taktim-
pulsgeber und einer die Folgefrequenz der Herzreizim-
pulse bestimmenden Zähleinrichtung bekannt (DE-OS
27 55 757), bei dem die Zähleinrichtung aus zwei aufein-
anderfolgenden, als Frequenzteiler wirkenden Zählern
besteht und bei dem eine die Batteriespannung überwa-
chende Schaltung vorgesehen ist. Die Spannungsüber-
wachungsschaltung gibt beim Absinken der Batterie-
spannung unter einen vorgegebenen Grenzwert ein
Steuersignal ab, das einen Rückkopplungszweig vom
Ausgang des ersten Zählers zu einer zwischen dem
Taktimpulsgeber und dem ersten Zähler liegenden Tor-
schaltung freigibt, um mittels des Ausgangssignals des
ersten Zählers und ein im Rückkopplungszweig liegen-
des Monoflop oder Flipflop die Torschaltung für minde-
stens einen Taktimpuls des Taktimpulsgebers zu sper-
ren. Die Breite der Herzreizimpulse wird durch einen
der Zähleinrichtung nachgeschalteten Impulsformer be-
stimmt.

Der Erfindung liegt die Aufgabe zugrunde, einen
Herzschrittmacher-Impulsgenerator der im Oberbegriff
des Patentanspruchs 1 angegebenen Art zu schaffen, bei
dem ein Abfall der Batteriespannung unter einen vorge-
gebenen Schwellwert durch die Reizimpulsfolgefre-
quenz angezeigt wird.

Diese Aufgabe wird bei einem Herzschrittmacher-
Impulsgenerator nach dem Oberbegriff des Patentan-
spruchs 1 durch die Merkmale des kennzeichnenden
Teils des Patentanspruchs 1 gelöst.

Bei dem Herzschrittmacher-Impulsgenerator nach
der Erfindung wird die Zähleinrichtung mehrfach ge-
nutzt, um zusätzlich zu der Vorgabe von Folgefrequenz
und Breite der Herzreizimpulse auch durch eine Ände-
rung der Reizimpulsfolgefrequenz ein Absinken der
Batteriespannung erkennen zu lassen.

Bevorzugte Weiterbildungen der Erfindung ergeben
sich aus den Unteransprüchen 2 und 3.

Ein Ausführungsbeispiel der Erfindung ist anhand der
Zeichnungen näher erläutert. Es zeigt

Fig. 1 eine schematische perspektivische Darstellung
eines implantierten programmierbaren Herzschrittmach-
ers und eines zugehörigen externen Programmiergerä-
tes.

Fig. 2 die gegenseitige Verbindung zwischen einer
digitalen und einer analogen Schaltungsstufe des Herz-
schrittmachers sowie die zwischen diesen beiden Schal-
tungsstufen ausgetauschten Signale.

Fig. 3A bis 3C nebeneinandergelegt ein Blockschalt-
bild der digitalen Schaltungsstufe des Herzschrittmach-
ers, und

Fig. 4A bis 4D Schaltbilder der vorliegend besonders
wichtigen Schaltungskomponenten.

Die in Fig. 1 dargestellte Anordnung 10 weist ein
Programmiergerät 12, einen damit über eine Leitung 30
verbundenen Programmierkopf 14 und einen implan-
tierbaren, programmierbaren, digital gesteuerten Herz-
schrittmacher 16 auf. Von dem Herzschrittmacher 16
erzeugte Herzreizimpulse werden über eine Leitung 18
dem Herz zugeführt. Das HF-Signale abgebende Pro-
grammiergerät 12 ist mit Parametertasten 22, numeri-
schen Tasten 24, Funktionstasten 26 und einem Sichtge-
rät 28 versehen. Mit den Parametertasten 22 lassen sich
unter anderem Rate (Folgefrequenz), Breite und Ampli-
tude der Herzreizimpulse programmieren. Bei Drücken

der numerischen Tasten 24 erzeugt das Programmiergerät 12 Signale, die einen bestimmten Wert kennzeichnen, auf den der gewählte Parameter programmiert werden soll.

Zum Programmieren wird der Kopf unmittelbar über den Herzschrittmacher 16 gebracht. Der Programmierkopf 14 weist einen Permanentmagneten auf, der einen magnetischen Zungenschalter (Fig. 2) im Herzschrittmacher 16 schließt, so daß letzterer dem Kopf 14 zugeführte HF-Signale erfassen und verarbeiten kann. Die Programmersignale bestehen aus jeweils 32 Bits und umfassen einen Parametercode, einen Datencode, einen Zugriffsscode und einen Paritätscode von jeweils gleicher Länge. Die drei ersten Bits des Parametercodes sind 0-Bits; sein viertes Bit kennzeichnet einen Temporär- oder Permanentprogrammierbefehl. Die letzten vier Parameterbits stellen den Code für die betreffende Funktionstaste 26 dar. Der Datencode kennzeichnet einen bestimmten Wert für den gewählten Parameter. Der aus dem Oktalcode "227" bestehende Zugriffsscode leitet die Programmierung des Herzschrittmachers 16 ein und sorgt ebenso wie der Paritätscode für eine Sicherung gegen Umprogrammieren durch Fremdsignale.

Der Herzschrittmacher 16 weist entsprechend Fig. 2 eine digitale Schaltungsstufe 40 und eine Ausgangsstufe bildende analoge Schaltungsstufe 42 auf. Zu der Schaltungsstufe 40 gehören unter anderem ein Quarztaktgeber, ein Taktgeber mit spannungsgesteuertem Oszillator (VCO), ein QRS-Meßverstärker, eine Ausgangsschaltung und ein HF-Demodulator. Eine Batterie 44, die eine Spannung +V von etwa 2,8 V liefert, ist zwischen Masse und die Schaltungsstufen 40, 42 geschaltet. Die analoge Schaltungsstufe 42 weist zwei Ausgangsanschlüsse 48 und 50 auf, an denen Signale erscheinen, die der Leitung 18 zugehen. Der Ausgangsanschluß 48 ist über einen Kondensator 52 an die Schaltungsstufe 42 und das Herz angekoppelt. Zwischen den Ausgangsanschlüssen 48, 50 liegen Dioden 54, 56 zum Schutz gegen große Fremdsignale.

Die zwischen den Schaltungsstufen 40, 42 ausgetauschten Signale sind in Fig. 2 angegeben. Das XTAL-Signal ist ein Rechteckimpulssignal mit einer Frequenz von 32 768 Hz, während es sich bei dem VCO-Signal um ein Rechteckimpulssignal handelt, das bei einer Batteriespannung von 2,8 V eine Frequenz von 40 000 Hz hat und dessen Frequenz kleiner wird, wenn die von der Batterie 44 abgegebene Spannung mit der Zeit abnimmt.

In den Fig. 3A, 3B und 3C sind die von der analogen Schaltungsstufe 42 empfangenen oder an diese angelegten Signale eingekreist. Bei jedem der Blöcke werden Datensignale an der linken Seite, Rückstellsignale an der Unterseite und Setzsignale an der Oberseite des Blockes angelegt, während Ausgangssignale an der rechten Seite erscheinen. Sofern mehrere Leitungen von einem Block abgehen oder zu diesem hinführen, ist die Leitungsgruppe durch breite Linien angedeutet.

Fig. 3A zeigt die Programmaufnahme- und Verarbeitungslogik 100. Das von der Schaltungsstufe 42 angelieferte DATEN-Signal geht an eine Rückstelllogik 106, eine Datendecodierlogik 108, ein achtstufiges Schieberegister 110 und über eine NOR-Schaltung 112 an ein dreizehnstufiges Schieberegister 116. Eine NOR-Schaltung gibt ein logisches "1"-Signal ab, wenn alle Eingangssignale logisch "0" sind, und sie liefert ein logisches "0"-Signal, wenn mindestens ein Eingangssignal logisch "1" ist.

An die Datendecodierlogik 108 geht ferner das rasche

Taktsignal (SCHNELL-TAKT). Die Datendecodierlogik 108 liefert an ihrem oberen Ausgang unmittelbar nach der Rückflanke jedes DATEN-Impulses ein Datentaktsignal, das an die Takteingänge einer Zugriffsscode-Prüflogik 114 und eines Impulszählers 118 geht. Das Signal vom unteren Ausgang der Datendecodierlogik 108 bildet den Dateneingang des Schieberegisters 110, an dessen Takteingang das DATEN-Signal anliegt. Aufgrund der Vorderflanken der DATEN-Signallimpulse wird der jeweilige Binärwert am Dateneingang des Schieberegisters 110 in dessen erster Stufe eingespeichert, während die zuvor in den Schieberegisterstufen befindlichen Werte jeweils weitergeschoben werden. Das Ausgangssignal des Schieberegisters 110 geht zum Dateneingang des Schieberegisters 116, dessen Takteingang an die NOR-Schaltung 112 angekoppelt ist. Bei entsperrter NOR-Schaltung 112 laufen die Daten im Takt der DATEN-Signallimpulse in das Schieberegister 116 ein.

Der Impulszähler 118 wird mittels des Signals vom Datentaktausgang der Datendecodierlogik 108 weitergeschaltet. Weicht der Zählwert des Impulszählers 118 von Null ab, wird das Signal am mittleren Ausgang des Zählers zu logisch "0", und es wird eine Zeitmeßlogik 120 entsperrt. Bei Erreichen des Zählwerts 24 wird die Zugriffsscode-Prüflogik 114 von einem Signal am unteren Zählerausgang entsperrt. Die Prüflogik 114 gibt ein logisch "1"-Signal ab, wenn der im Schieberegister 110 gespeicherte Code gleich dem Zugriffsscode ist. Der untere Ausgang des Impulszählers 118 entsperrt die Prüflogik 114 vom Erreichen des Zählwerts 24 bis zum Überlaufen des Zählers nach Erreichen des Zählwerts 32. Ermittelt die Prüflogik 114 den Zugriffsscode, wird die NOR-Schaltung 112 gesperrt. Die Rückstelllogik 106 wird gesetzt und gibt ihrerseits ein Signal zum Zurückstellen des Impulszählers 118 auf den Zählwert 24 ab.

Nachdem der dem Zugriffsscode folgende Paritätscode in dem Schieberegister 110 eingespeichert ist, hat der Impulszähler 118 auf 32 gezählt. Das Signal am Überlaufausgang (OF) des Zählers 118 springt um. Ein Zählerüberlaufschutz 104 wird gesetzt, das dann eine Fehlerprüflogik 122 entsperrt. Diese stellt fest, ob das empfangene DATEN-Programmsignal die vorgesehenen Kontrollen durchlaufen hat. Die Logik 122 spricht ferner auf ein Langsamtaktsignal an, so daß entweder ein ANNAHME- oder ein FEHLER-Signal erscheint.

An einer Paritätsprüflogik 124 liegen die Ausgangssignale der Schieberegister 110 und 116 an. Die Prüflogik 124 prüft die Parität der in dem Schieberegister 116 eingespeicherten Parameterdaten-Testbits gegenüber dem in Schieberegister 110 eingespeicherten Paritätscode. Das FEHLER-Signal der Fehlerprüflogik 122 geht ferner an eine Rückstelllogik 126. Das ANNAHME-Signal gelangt von der Fehlerprüflogik 122 zu dem Dateneingang eines Schreiblatch 128, dem Takteingang eines ZwischenSpeichers 132, der die Daten- und Parametersignale von den ersten zwölf Stufen des Schieberegisters 116 aufnehmen kann. Die Rückstelllogik 126 spricht ferner auf die Signale der Zeitmeßlogik 120 und des Schreiblatch 128 sowie auf das ZUNGENSCHALTER-Signal an. Der untere Ausgang der Rückstelllogik 126 ist mit dem Rückstelleingang des Impulszählers 118, einem Eingang der Rückstelllogik 106 und dem Rückstelleingang der Zugriffsscode-Prüflogik 114 verbunden. Der obere Ausgang der Rückstelllogik 126 ist an den Rückstelleingang einer Inhibitlogik 134 und an den Rückstellungsausgang des Testlatch 130 angeschlossen.

Dem Dateneingang des Schreiblatz 128 geht das ANNAHME-Signal von der Fehlerprüflogik 122 zu, während an dem Takteingang des Schreiblatz das LANGSAMTAKT-Signal anliegt. Der Ausgang des Schreiblatz 128 ist mit je einem Eingang der Rückstelllogik 126, der Inhibitlogik 132 und einer Speicherabstaststufe 136 gekoppelt. Letztere gibt an eine Parameterdecodierlogik 138 (Fig. 3B) jedes Mal ein Signal, wenn das Schreiblatz 128 ein Signal anliefert, während von dem Testlatz 130 kein Signal abgegeben wird. Das Signal der Speicherabstaststufe 136 veranlaßt die Parameterdecodierlogik 138, den ihr von dem Zwischenspeicher zugeführten Parametercode zu decodieren. Das Testlatz 130 spricht auf das Testsignal von der dreizehnten Stufe des Schieberegisters 116 und das ANNAHME-Signal der Fehlerprüflogik 122 an. Es gibt ein Signal an die Parameterdecodierlogik 138, das bewirkt, daß die dieser Logik von dem Zwischenspeicher 132 zugeführten Parametersignale decodiert werden. Das Ausgangssignal des Testlatz 130 geht ferner der Speicherabstaststufe 132 und der Inhibitlogik 134 zu.

Der Zwischenspeicher 132 speichert nach Auftreten des ANNAHME-Signals die vier Parameterbits und die acht Datenbits ein, die im Schieberegister 116 stehen. Die im Zwischenspeicher 132 eingespeicherten Parameterbits werden der Parameterdecodierlogik 138 zugeführt, wo sie in Verknüpfung mit den Signalen der Speicherabstaststufe 136 oder des Testlatz 130 decodiert werden. Von der Parameterdecodierlogik 138 geht ein Signal an einen Speicher 140, das erkennen läßt, welche permanente oder temporäre Parameteränderung auftreten soll. Die von dem Zwischenspeicher 132 angelieferten Datenbits gehen an den Speicher 140 und eine Inhibit-Decodierlogik 142. Beim Decodieren einer permanenten Parameteränderung werden die Datenbits in dem durch das decodierte Parametersignal entsperreten Teil des Speichers 140 eingespeichert. Bei einer temporären Parameteränderung durchlaufen die Datensignale die betreffenden Stufen des Speichers 140. Die Zwischenspeicherdaten gehen auch der Inhibit-Decodierlogik 142 zu, deren Ausgangssignal an einen Eingang der Inhibitlogik 132 gelangt. Letztere wird von der Rückstelllogik 126 zurückgestellt und in Abhängigkeit von den Signalen des Schreiblatz 128, des Testlatz 130 und der Parameter-Decodierlogik 138 gesetzt. Die Inhibitlogik 132 liefert ein Signal zum Sperren der Ausgangslogik 178 (Fig. 3C).

Die Fig. 3B und 3C zeigen den zurückstellbaren Impulserzeuger 150 des Herzschrittmachers 16. Die Taktfolge zur Steuerung der Breite und Rate (Folgefrequenz) der Reizimpulse wird durch einen schnellen Zähler 152, eine Langsamtaktlogik 154 und einen langsamen Zähler 156 bestimmt. Der Zähler 152 zählt die von einer Taktlogik 158 zugeführten Taktimpulse. Die Taktlogik 158 gibt an ihrem unteren Eingang ein dem externen Quarzoszillatorsignal (XTAL) oder dem VCO-Signal entsprechendes Taktsignal ab. Der Zähler 152 ist ein neunstufiger Binärzähler. Die Ausgänge der sieben niedrigeren Stufen des Zählers 152 führen zu einer Impulsbreitendecodierlogik 157. Die Ausgangssignale von der zweiten, dritten, vierten, fünften und neunten Stufe des Zählers 152 werden der Langsamtaktlogik 154 zugeführt. Außerdem gehen das Ausgangssignal eines Batterielatz 162 und das Taktsignal der Taktlogik 158 an die Langsamtaktlogik 154. Letztere gibt ein 128-Hz-Langsamtaktsignal SLO CLK ab, solange die Spannung der Batterie 44 einen gewissen Mindestwert übersteigt. Wenn die von der Batterie 44 angelieferte Spannung

unter diesen Mindestwert absinkt, bewirkt das von dem Batteriezustandsteil der analogen Schaltungsstufe 42 abgegebene BATTERIE-Signal, daß das Batterielatz 162 zurückgestellt wird. Dies hat seinerseits zur Folge, daß die Frequenz des von der Langsamtaktlogik 154 angelieferten Signals um etwa 10% vermindert wird, d. h. einen Wert von etwa 113 Hz annimmt. Das Ausgangssignal der Langsamtaktlogik 154 geht an den langsamen Zähler 156, der ein achtstufiger Binärzähler ist, der auf den Zählwert 208 gesetzt werden kann, indem seinem Setzeingang von einer Nachlade-logik 164 ein Signal logisch "1" zugeführt wird. Bestimmte Ausgangssignale der acht Stufen des Zählers 156 werden einer Überlauflogik 166, einer Refraktärlogik 168, einer Austastlogik 169, einer Ratendecodierlogik 172 und einer Hystereselogik 174 zugeführt.

Die Ausgangssignale des Impulsbreitenteils des Speichers 140 gehen an die Impulsbreitendecodierlogik 157, während die Ausgangssignale des Ratenteils des Speichers 140 der Ratendecodierlogik 172 zugeführt werden. Das Ausgangssignal einer R-Synchron-Stufe des Speichers 140 wird auf ein R-Synchron-Gatter 176 gegeben. Die Signale zweier Refraktärstufen des Speichers 140 gehen an die Refraktärlogik 168. Die Signale zweier Hysteresespeicherstufen des Speichers 140 werden der Hystereselogik 174 zugeführt. Das Signal einer Ausgangsstufe des Speichers 140 geht an die Ausgangslogik 178. Die Anordnung nach den Fig. 3B und 3C umfaßt ferner eine Zungenschalterlogik 159, eine Schwellwertprüflogik 160, eine Reversionslogik 170, eine digitale Ratenbegrenzerlogik 180, ein Hysteresegatter 182, eine Vorrhythmischerlogik 184, eine Impulsbreitenlogik 186, eine Nachrhythmischerlogik 187, eine Verifizierimpulslogik 188, eine Bedarfslogik 190 und ein Gatter 192.

Unmittelbar nachdem ein Herzreizimpuls angeliefert oder eine natürliche Herzaktivität ermittelt wird, werden der Zähler 152 auf den Zählwert Null und der Zähler 146 auf den Zählwert 208 zurückgestellt. Der Zählwert 208 ist so gewählt, daß der Zähler 156 von dem vollen Zählwert 255 auf den Zählwert Null zu einem Zeitpunkt überläuft, der genutzt werden kann, um ein 400-ms-Zeitsteuersignal zu erhalten. Nach dem Rückstellen zählt der Zähler 152 die ihm von der Taktlogik 158 zugeführten Taktimpulse, die zu diesem Zeitpunkt von dem externen Oszillator mit der Frequenz von 32 768 Hz abgegeben werden. Solange die Batteriespannung nicht abgesunken ist, und das Batterielatz 162 gesetzt bleibt, geht jedes Mal, wenn die neunte Stufe des Zählers 152 gesetzt wird, d. h. mit einer Frequenz von 128 Hz, ein Signal von dort zu der Langsamtaktlogik 154. Einen Taktimpuls später wird für eine Taktsignal-Impulsperiode ein SLO CLK-Impuls angeliefert, der den Zähler 152 auf Null zurückstellt. Eine Taktsignal-Impulsperiode später beginnt der Zähler 152 wieder zu zählen.

Mit den Ausgangsimpulsen der Langsamtaktlogik 154 wird der Zähler 156 von dem Anfangszählwert 208 aus weitergeschaltet. Wenn der Zähler 156 überläuft, entsperret die Überlauflogik 166 die Ratenbegrenzerlogik 180. Der Zähler 156 zählt dann von Null aus weiter, bis er einen Zählwert entsprechend dem Zählwert im Ratenteil des Speichers 140 erreicht. Signale von dem Ratenteil des Speichers 140 und von jeder Stufe des Zählers 156 werden der Ratendecodierlogik 172 zugeführt, die ein Signal erzeugt, wenn der nächste Langsamtaktimpuls auftritt, nachdem der im Zähler 156 stehende Zählwert gleich dem im Speicher 140 eingespeicherten

Code ist. Das Signal der Ratendecodierlogik 172 läuft über das Hysteresegatter 182, das entspermt ist, wenn keine Hystereseprogrammiert ist oder der vorausgehende Herzschlag künstlich stimuliert war. Der Ausgangsimpuls des Hysteresegatters 182 geht an die Ratengrenzerlogik 180, die, wenn sie durch ein Signal der Überlauflogik 166 entspermt ist, die Vorresynchronisierlogik 184 setzt. Letztere liefert ein Signal an die Taktlogik 158, so daß das VCO-ENTSPERRUNGS-Signal gegeben wird. Der spannungsgesteuerte Oszillator beginnt, Taktsignale an die Taktlogik 158 und die Impulsbreitenlogik 186 zu geben. Das Signal der Vorresynchronisierlogik 184 geht ferner an die Langsamtaktlogik 154, wodurch der Zähler 152 auf Null zurückgestellt wird. Die Impulsbreitenlogik 186 wird entspermt, so daß beim Auftreten des nächsten VCO-Taktimpulses die Vorderflanke des Signals logisch "1" der Impulsbreitenlogik 186 (PW) auftritt.

Wenn der Zähler 152 ausgehend von Null mittels der ihm von der Taktlogik 158 zugehenden VCO-Zeitsteuerimpulse weitergeschaltet wird, wird das Ausgangssignal der zweiten bis siebten Zählerstufen von der Impulsbreitendecodierlogik 157 mit den im Impulsbreiten-
 20 teil des Speichers 140 eingespeicherten Signalen verglichen. Bei Übereinstimmung gibt die Impulsbreitendecodierlogik 157 ein Ausgangssignal an die Impulsbreitenlogik 185, so daß deren Ausgangssignal beim Auftreten des nächsten VCO-Taktimpulses auf logisch "0" zurückspringt. Das am Ausgang der Impulsbreitenlogik 185 erscheinende PW-Signal ist also ein Signal mit einer Impulsbreite gleich der programmierten Impulsbreite für das von dem Impulsgenerator 16 anzuliefernde Signal. Das Ausgangssignal der Impulsbreitenlogik 186 bewirkt, daß die Ausgangslogik 178 ein Impulssignal mit der gleichen Impulsbreite wie das Signal der Impulsbreitenlogik 185 in Abhängigkeit von dem Wert des AUSGANGS-Signals vom Speicher 140 über den EINFACH- oder den DOPPELT-Ausgang gibt. Ein Herzreizimpuls, dessen Amplitude der Batteriespannung oder dem doppelten Wert der Batteriespannung entspricht, wird von dem Herzschrittmacher 16 über die Leitung 18 an das Herz geschickt.

Beim Zurückspringen des Signals der Impulsbreitenlogik 186 auf logisch "0" wird das Signal VCO-ENTSPERRUNG abgeschaltet; vom Taktausgang der Taktlogik 158 wird wieder das Taktsignal XTAL abgegeben. Die Impulsbreitenlogik 186 bewirkt beim Zurückspringen auf logisch "0", daß die Nachresynchronisierlogik 187 die Langsamtaktlogik 154 veranlaßt, beim nächsten XTAL-Taktsignal den Zähler 152 zurückzustellen. Aufgrund des Signals der Nachresynchronisierlogik 187 wird die Nachladelogik 164 beim nächsten Signal der Langsamtaktlogik 154 gesetzt. Mit dem Signal der Nachladelogik 164 wird die Nachresynchronisierlogik 187 zurückgestellt. Beim nächsten Signal der Langsamtaktlogik 154 erfolgt ein Zurückstellen der Nachladelogik 164. Mit dem Ausgangssignal der Nachladelogik 164 wird der Zähler 156 auf den Zählwert 208 zurückgestellt. Die Refraktärlogik 168 und die Reversionslogik 170 werden entspermt. Die Ratendecodierlogik 172 und die Überlauflogik 166 werden zurückgestellt. Die oben geschilderten Vorgänge wiederholen sich dann.

Die Langsamtaktlogik 154 spricht auf die Setzsignale von der zweiten, dritten, vierten, fünften und neunten Stufe des Zählers 152, auf das Nachresynchronisierlogik 187, das Vorresynchronisierlogik 184, das Taktsignal der Taktlogik 158 und das Batterielatchsignal

des Batterielatch 162 an. Sie gibt das 127-Hz-Taktsignal ab. Solange das Batterielatch gesetzt ist, was normale Batteriespannung erkennen läßt, wird ein Impuls der Langsamtaktlogik 154 eine Impulsdauer der Taktlogik 158 nach dem Setzen der neunten Stufe des Zählers 152 angeliefert. Wenn jedoch das Batterielatch 162 zurückgestellt wird, was das Absinken der Batteriespannung unter einen vorgegebenen Schwellwert anzeigt, soll die Folgefrequenz der von dem Impulsgenerator 16 angelieferten Impulse um etwa 10% gesenkt werden. Bei Vorliegen von niedriger Batteriespannung wird ein Impuls der Langsamtaktlogik 154 abgegeben, wenn die zweite, dritte, vierte, fünfte und neunte Stufe des Zählers 152 gesetzt sind. In diesem Zustand erscheinen die Impulse der Langsamtaktlogik 154 mit einer Folgefrequenz, die ungefähr 10% unter derjenigen liegt, die erhalten wird, wenn das Batterielatch 162 gesetzt ist. Außerdem wird ein Impuls der Langsamtaktlogik 154 jedes Mal angeliefert, wenn die Vorresynchronisier-
 20 Nachresynchronisiersignale erscheinen, um den Zähler 152 zurückzustellen, damit das Zählen der VCO-Taktimpulse von der Taktlogik 158 beginnt.

An dem Takteingang des Batterielatch 162 liegt das Ausgangssignal der Vorresynchronisierlogik 184 an, während am Dateneingang des Batterielatch 162 das Signal BATTERIE der Batteriezustandsüberwachung der analogen Schaltungsstufe 42 anliegt. Bei normalen Spannungen ist das Signal BATTERIE logisch "1", und das Batterielatch 162 wird gesetzt gehalten. Das zum Takten des Batterielatch 162 verwendete Vorresynchronisiersignal erscheint unmittelbar vor der Anlieferung jedes Reizimpulses, so daß die momentane Stromentnahme aus der Batterie aufgrund der Anlieferung des Reizimpulses das Signal BATTERIE nicht beeinflußt. Das Ausgangssignal des Batterielatch 162 geht an die Langsamtaktlogik 154, so daß die von dieser Logik abgegebenen Impulse eine etwa 10% niedrigere Folgefrequenz haben. Außerdem wird das Ausgangssignal des Batterielatch 162 der Refraktärlogik 168, der Austastlogik 169 und der Überlauflogik 166 zugeführt, um wechselnde Gatter zu entsperren und unterschiedliche Zählwerte des Zählers 156 zu decodieren. Auf diese Weise werden die decodierten Zeiten trotz der um 10% niedrigeren Impulsfolgefrequenz der Langsamtaktlogik 154 konstant decodiert.

Die Überlauflogik 166 spricht auf das Signal der Langsamtaktlogik 154, das vom Batterielatch 162 kommende Signal, das Signal der Nachladelogik 164 und Signale von Ausgangsstufen des langsamen Zählers 156 an. Solange das Batterielatch 162 gesetzt ist, spricht die Überlauflogik 166 auf die letzte Stufe des Zählers 156 an, wenn ein Übergang vom Setz- zum Rückstellzustand erfolgt, nachdem der Zähler 156 mittels des Signals der Nachladelogik 164 auf den Zählwert 208 gestellt worden war. Wenn jedoch das Batterielatch 162 gesetzt wird, liefert die Überlauflogik 166 ein Ausgangssignal, wenn alle Stufen, mit Ausnahme der dritten Stufe des langsamen Zählers 156 gesetzt sind, so daß das Ausgangssignal der Überlauflogik 166 400 ms nach dem Setzen des Zählers 156 unabhängig von der Folgefrequenz der Impulse der Langsamtaktlogik 154 erscheint. Die Überlauflogik 166 weist ein Latch auf, das mittels des Signals der Nachladelogik 164 zurückgestellt wird und das mittels des Signals der Langsamtaktlogik 154 gesetzt wird, nachdem die letzte Stufe des Zählers 156 zurückgestellt wird.

Die Impulsbreitenlogik 186 steuert die Breite des von dem Impulsgenerator 16 abzugebenden Ausgangsim-

pulses in Abhängigkeit von dem Signal der Langsamtaktlogik 184, dem von der analogen Schaltungsstufe 42 kommenden VCO-Signal, dem Signal der Vorresynchronisierlogik 184, dem Signal der Verifizierimpulslogik 183 und dem Signal der Nachresynchronisierlogik 187. Die Vorderflanke des von der Impulsbreitenlogik 186 angelieferten Impulses erscheint in Abhängigkeit von dem Setzen der Vorresynchronisierlogik 184 durch das Signal der Ratenbegrenzerlogik 180. Die Rückflanke des Impulses der Impulsbreitenlogik 186 wird in Abhängigkeit von einem Signal der Impulsbreitendecodierlogik 157 oder der Verifizierimpulslogik 188 bestimmt.

Wenn der Bedarfsbetrieb programmiert wird, spricht die Nachresynchronisierlogik 187 auf das Signal des R-Synchrongatters 176 durch Anliefern eines Ausgangsimpulses an, der ein Rückstellen der verschiedenen Zeitsteuerfunktionen der Anordnung nach den Fig. 3B und 3C bewirkt, wenn ein natürliches Herzsignal ermittelt wird. Die Austastlogik 169, die Refraktärlogik 168, die Reversions- und Meßrückstelllogik 170 sowie das R-Synchron-Gatter 176 stehen in gegenseitiger Wechselwirkung, um nach dem Anliefern eines Herzreizimpulses und vor Abgabe des nächsten Herzreizimpulses die sich aufgrund des Erfassens von natürlicher Herzaktivität einstellenden Ereignisse zu steuern.

Anhand der Fig. 4A bis 4D sind nachstehend diejenigen der Blöcke der Fig. 3A bis 3C näher erläutert, die vorliegend von besonderer Wichtigkeit sind. Dabei sind die Fig. 4A und 4C nebeneinander sowie die Fig. 4B unter die Fig. 4A und die Fig. 4D unter die Fig. 4C zu legen. In den Fig. 4A bis 4D sind die zu einem bestimmten Block der Fig. 3A bis 3C gehörenden logischen Elemente zusammengefaßt und von einer Umrandung umgeben, deren Bezugszeichen der Blocknummer in den Fig. 3A bis 3C entspricht. Zu den Komponenten der Blöcke gehören Latches (Speicherflipflops), NAND-Schaltungen, NOR-Schaltungen und Inverter. Jedes Latch ist als Rechteck dargestellt. Die Eingänge des Latch sitzen an der linken Seite. Der obere Eingang ist ein Dateneingang, der untere Eingang ein Takteingang. Die Ausgänge des Latch befinden sich an der rechten Seite. Der obere Ausgang ist der Q-Ausgang, der untere Ausgang der \bar{Q} -Ausgang. Für bestimmte Latches sind ein Setz- und ein Rückstelleingang vorhanden. Der Rückstelleingang befindet sich an der Unterseite des Rechtecks; der Setzeingang liegt an der Oberseite des Rechtecks. Jedes dem Rückstelleingang zugeführte logische "1"-Signal bewirkt, daß der Q-Ausgang den Zustand logisch "0" und der \bar{Q} -Ausgang den Zustand "1" annimmt. Umgekehrt hat ein dem Setzeingang zugeführtes Signal logisch "1" zur Folge, daß der Q-Ausgang den Zustand logisch "1" und der \bar{Q} -Ausgang den Zustand logisch "0" annimmt. Wenn ein von logisch "0" auf logisch "1" springendes Signal dem Takteingang zugeführt wird, nimmt der Q-Ausgang einen logischen Wert gleich dem logischen Wert des dem Dateneingang zugehenden Signals an, während der \bar{Q} -Ausgang den entgegengesetzten logischen Wert annimmt.

NAND-Schaltungen haben zwei oder mehr Eingänge und einen Ausgang. Der Ausgang einer NAND-Schaltung steht normalerweise auf logisch "1"; nur wenn die jedem der Eingänge zugeführten Signale logisch "1" sind, ist das Ausgangssignal logisch "0". Ein Inverter gibt ein Ausgangssignal ab, dessen logischer Wert entgegengesetzt demjenigen des Eingangssignals ist. Eine NOR-Schaltung weist zwei oder mehr Eingänge und einen Ausgang auf. Das Ausgangssignal liegt normalerweise

auf logisch "0". Nur wenn alle Eingangssignale logisch "1" sind, ist das Ausgangssignal logisch "1". Ein Übertragungsgatter ist als Quadrat dargestellt. Es handelt sich dabei um eine Torschaltung, die durch ein dem Entsperreingang zugeführtes Signal logisch "1" entsperrt wird und dann das am Dateneingang liegende Signal zum Ausgang weitergibt. Das Entsperrsignal wird entweder an der Oberseite oder der Unterseite des Quadrats zugeführt.

Der in Fig. 4A dargestellte schnelle Zähler 152 besteht aus neun Latches 152A bis 152I und drei NOR-Schaltungen 152J, 152K und 152L. Die Takteingänge der Latches 152A und 152B werden mit dem Taktsignal am Ausgang der Taktlogik 158 beaufschlagt. Der Takteingang der Latches 152C bis 152I ist jeweils an den Q-Ausgang der vorausgehenden Stufe angeschlossen. Die Dateneingänge der Latches 152A bis 152I sind mit dem Q-Ausgang der betreffenden Stufe verbunden. Der Dateneingang des Latches 152A ist mit dem Ausgang der NOR-Schaltung 152K verbunden, während der Dateneingang des Latches 152B mit dem Q-Ausgang des Latches 152A in Verbindung steht. Die Rückstelleingänge der Latches 152A bis 152I stehen untereinander in Verbindung; sie werden mit dem Signal der Langsamtaktlogik 154 beaufschlagt. Der eine Eingang der NOR-Schaltung 152J ist mit dem Q-Ausgang des Latches 152A verbunden, während der zweite Eingang an einen Ausgang der Schwellwertprüflogik 160 angeschlossen ist. Der Ausgang der NOR-Schaltung 152J ist mit einem Eingang der NOR-Schaltung 152K verbunden, deren anderer Eingang mit dem Q-Ausgangssignal vom Latch 152B beaufschlagt wird. Der eine Eingang der NOR-Schaltung 152L ist an den Q-Ausgang des Latches 152C angeschlossen, während der zweite Eingang mit einem Ausgang der Zungenschalterlogik 159 verbunden ist. Der Ausgang der NOR-Schaltung 152L ist an Takteingänge von Latches der Datenüncodierlogik 108 angekoppelt.

Der schnelle Zähler 152 stellt eine durch Teilende Dividierschaltung dar, die am Q-Ausgang des Latches 152I bei jedem 256. Taktimpuls, der dem Takteingang des Latches 152A zugeht, einen einzelnen Impuls abgibt, solange ein Ausgangssignal der Schwellwertprüflogik 160 logisch "1" ist. Der Ausgang des Zählers 152 ist der Q-Ausgang des Latches 152I, der auf logisch "0" übergeht, nachdem dem Takteingang des Latches 152I die Divisoranzahl an Impulsen zugeführt wurde. Die Q-Ausgangssignale der Latches 152B, 152C, 152D und 152E gehen an die vier Eingänge einer NOR-Schaltung 154A der Langsamtaktlogik 154 (Fig. 4C). Der Ausgang der NOR-Schaltung 154A ist mit dem einen Eingang einer NOR-Schaltung 154B gekoppelt, an deren anderem Eingang das Q-Ausgangssignal des Batterielatches 162A anliegt. Das Ausgangssignal der NOR-Schaltung 154B geht dem einen Eingang einer NOR-Schaltung 154C zu. Das Q-Ausgangssignal des Latches 152I wird dem zweiten Eingang der NOR-Schaltung 154C zugeführt.

Solange das Batterielatch 162A gesetzt ist, was erkennen läßt, daß die Batterie 44 eine über einem bestimmten Schwellwert liegende Spannung anliefert, soll die Langsamtaktlogik 154 einen Impuls jedes Mal abgeben, wenn das Zeitlatch 152I des Zählers 152 gesetzt wird. Dies geschieht normalerweise mit einer Folgefrequenz von etwa 127 Hz. Wenn jedoch das Batterielatch 162A zurückgestellt wird, weil die von der Batterie 44 abgegebene Spannung unter den Schwellwert abgefallen ist, soll die Folgefrequenz des langsamen Taktsignals um etwa 10% gesenkt werden. Wenn daher der Q-Ausgang des Batterielatches 162A logisch "1" ist, was bei normaler

Batteriespannung der Fall ist, steht der Ausgang der NOR-Schaltung 154B ständig auf logisch "0". Die NOR-Schaltung 154C gibt ein logisch "1"-Ausgangssignal jedes Mal ab, wenn das Latch 152I gesetzt wird und sein Q-Ausgang zu logisch "0" wird. Wenn jedoch die Batteriespannung unter den vorbestimmten Schwellwert abfällt, wird das Batterielatch 162A nicht länger gesetzt. Von dem Batterielatch 162A geht ein Signal logisch "0" an die NOR-Schaltung 154B. In diesem Fall liegt der Ausgang der NOR-Schaltung 154B auf logisch "1", bis der Ausgang der NOR-Schaltung 154A auf logisch "0" springt, was der Fall ist, wenn alle Latches 152B, 152C, 152D und 152E gesetzt sind. Wenn das Latch 152I gesetzt ist, springt jetzt der Ausgang der NOR-Schaltung 154A auf logisch "1", wodurch das Ausgangssignal der NOR-Schaltung 154B zu logisch "0" wird. Ein Ausgangssignal logisch "1" kann am Ausgang der NOR-Schaltung 154C erscheinen. Dadurch, daß die Q-Ausgangssignale der Latches 152B, 152C, 152D und 152E als die Eingangssignale zum Entsperren der NOR-Schaltung 154A benutzt werden, hat die am Ausgang der NOR-Schaltung 154C auftretende Impulsfolge eine Folgefrequenz, die etwa 10% unter derjenigen liegt, mit der die Impulse anfallen, wenn das Batterielatch 162A gesetzt ist.

Das Ausgangssignal der NOR-Schaltung 154C geht dem einen Eingang einer NOR-Schaltung 154D zu, deren anderer Eingang mit dem normalerweise auf logisch "0" liegenden Signal vom Ausgang einer NAND-Schaltung 154E beaufschlagt ist. Das Ausgangssignal der NOR-Schaltung 154D geht dem einen Eingang einer NOR-Schaltung 154F zu, deren Ausgangssignal am Dateneingang eines Latch 154G anliegt, dessen Q-Ausgang mit dem anderen Eingang der NOR-Schaltung 154F verbunden ist. Die Langsamtaktlogik 154 weist ferner NOR-Schaltungen 154H und 154I sowie einen Inverter 154J auf, der in dem Taktkreis des Latch 154G liegt. Die beiden Eingänge der NOR-Schaltung 154I stehen mit dem Ausgang der NOR-Schaltung 154H und dem Taktsignalausgang der Taktlogik 158 in Verbindung. Das Ausgangssignal der NOR-Schaltung 154I geht über den Inverter 154J zum Takteingang des Latch 154G. Das Q-Ausgangssignal des Latch 154G wird dem Rückstelleneingang der Latches 152A bis 152I des Zählers 152 zugeführt, um diese zurückzustellen, so daß der Zählwert des Zählers 152 Null ist, nachdem jeder langsame Taktimpuls abgegeben ist. Zwei zusätzliche Impulsperioden dauern der Taktlogik 158 sind erforderlich, um das Rückstellen des Zählers 152 zu veranlassen und das Setzen des Latch 154G zu ermöglichen. Die Folgefrequenz der Impulse der Langsamtaktlogik 154 beträgt daher $32\,768\text{ Hz geteilt durch } (256 \text{ plus } 2) = 127\text{ Hz}$.

Die beiden Eingangssignale der NAND-Schaltung 154E kommen vom Q-Ausgang eines Latch 184A der Vorresynchronisierlogik 184 und dem Q-Ausgang eines Latch 187A der Nachresynchronisierlogik 187. Diese Latches dienen dem Resynchronisieren der Zeitsteuerung des Systems, wenn der spannungsgesteuerte Oszillator entsperrt und später während der Impulsbreiten-Zeitmessung gesperrt wird. Für diesen Zweck wird der Zähler 152 sowohl vor als auch nach Abgabe des Impulssignals der Impulsbreitenlogik 186 zurückgestellt, d. h. immer dann, wenn entweder das Vorresynchronisierlatch 184A oder das Nachresynchronisierlatch 187A gesetzt und dadurch das Ausgangssignal der NAND-Schaltung 154E zu logisch "0" wird, so daß das Ausgangssignal der NAND-Schaltung 154D auf logisch "1" springt und das Latch 154G gesetzt werden kann.

Der in Fig. 4D dargestellte langsame Zähler 156 weist

acht Latches 156A bis 156H auf. Das Signal der Langsamtaktlogik vom Latch 154G wird dem Takteingang des Latch 156a zugeführt. Das Q-Ausgangssignal von jedem Latch 156A bis 156G geht an den Takteingang des nächstfolgenden Latch 156B bis 156H. Der Dateneingang jedes Latch 156A bis 156H ist mit dem Q-Ausgang des betreffenden Latch gekoppelt. Die Setzeingänge der Latches 156A, 156B, 156C, 156D, 156G und 156H sowie die Rückstelleingänge der Latches 156E und 156F sind untereinander und mit dem Q-Ausgang des Latch 164A der Nachlade-logik 164 verbunden, die außerdem einen Inverter 164B aufweist. Auf diese Weise wird der Zähler 156 auf den Zählwert 208 jedes Mal zurückgestellt, wenn das Signal von der Nachlade-logik 164 zu seinen Setz- und Rückstelleingängen geht. Bei einem Zählwert von 208 braucht der Zähler 156 gerade etwas weniger als 400 ms, um das 127-Hz-Signal der Langsamtaktlogik 154 zu zählen, bis der Zähler 156 einen vollen Zählwert erreicht und zurück zum Zählwert Null überläuft.

Die Q-Ausgänge der Latches 156A bis 156H des Zählers 156 sind jeweils mit einem Eingang von exklusiven NOR-Schaltungen 172A bis 172H der Ratensteuer- oder -decodierlogik 172 (Fig. 4B) verbunden. Der andere Eingang der exklusiven NOR-Schaltungen 172A bis 172H ist an eine der Stufen des Ratenspeicherteils des Speichers 140 angeschlossen. Die Ausgangssignale der NOR-Schaltungen 172A bis 172H gehen jeweils einem Eingang einer NAND-Schaltung 172I zu, deren Ausgangssignal einem Eingang einer NAND-Schaltung 172L zugeführt wird, deren beiden anderen Eingänge normalerweise auf logisch "1" liegen. Das Ausgangssignal der NAND-Schaltung 172L geht an den Dateneingang eines Latch 172M, während das vom Ausgang des Latch 154G kommende Signal der Langsamtaktlogik 154 dem Takteingang des Latch 172M zugeführt wird. Am Rückstelleingang des Latch 172M liegt das Q-Ausgangssignal des Latch 164A an. Das Q-Ausgangssignal des Latch 172M geht als zweites Eingangssignal an die NAND-Schaltung 172L. Die Q-Ausgangssignale der Latches 156A, 156D, 156E und das Q-Ausgangssignal des Latch 156H des Zählers 156 werden den Eingängen einer NAND-Schaltung 172N zugeführt. Das Ausgangssignal der NAND-Schaltung 172N geht über einen Inverter 172O zu einem Eingang einer NAND-Schaltung 172P, deren anderes Eingangssignal von der Schwellwertprüflogik 160 kommt. Das normalerweise auf logisch "1" stehende Ausgangssignal der NAND-Schaltung 172P bildet das dritte Eingangssignal der NAND-Schaltung 172L.

Wenn der Zählwert des Zählers 156 mit jedem Impuls der Langsamtaktlogik 154 weitergeschaltet wird, wird dieser Zählwert mit dem in den Ratenteil des Speichers 140 einprogrammierten Code mittels der exklusiven NOR-Schaltungen 172A bis 172H verglichen. Wenn Übereinstimmung festgestellt wird, steht der Ausgang jeder der NOR-Schaltungen 172A bis 172H auf logisch "1", so daß der Ausgang der NAND-Schaltung 172I auf logisch "0" springt. Wenn aufgrund des Vergleichs das Ausgangssignal der NAND-Schaltung 172L logisch "1" wird, wird beim nächsten Impuls der Langsamtaktlogik 154 das Latch 172 gesetzt. Das Q-Ausgangssignal logisch "0" hält den Ausgang der NAND-Schaltung 172L auf logisch "1" so daß bei jedem anschließenden Impuls der Langsamtaktlogik 154 das Latch 172M im gesetzten Zustand gehalten wird. Das Q-Ausgangssignal des Latch 172M wird einem Eingang eines Hysteresegatters 162A (Fig. 4C) zugeführt.

Die Hystereselogik 174 (Fig. 4D) ist aus NAND-Schaltungen 174A, 174B, 174C, 174D, 174E und 174F, Invertern 174E und 174F sowie Latches 174H und 174I aufgebaut. Die Verifizierimpulslogik 188 (Fig. 4A) besteht aus zwei Latches 188A und 188B, NAND-Schaltungen 188C und 188E sowie einer NOR-Schaltung 188D. Die Bedarfslogik 190 weist NOR-Schaltungen 190A und 190B, ein Latch 190C und einen Inverter 190D auf.

Das Ausgangssignal der Ratenbegrenzerlogik 180 geht an den Eingang des Voriesynchronisierlatch 184A (Fig. 4C) um die Abgabe des Herzreizimpulssteuersignals von der Impulsbreitenlogik 186 einzuleiten. Das Voriesynchronisierlatch 184A löst eine Änderung hinsichtlich der Quelle der Taktimpulse der Taktlogik 158 aus. Diese Impulse sollen von dem spannungsgesteuerten Oszillator statt von dem externen Oszillator kommen. Außerdem wird die Zeitsteuerung auf das neue Taktsignal resynchronisiert. Das Latch 184A ist so ausgebildet, daß ein seinem Rückstelleingang zugehendes logisch "1" Signal den Einfluß eines logisch "1" Signals am Setzeingang des Latch übersteuert. Der Rückstelleingang des Voriesynchronisierlatch 184A ist mit dem Ausgang einer NAND-Schaltung 184B verbunden, deren Eingänge an den Q-Ausgang eines Latch 186D der Impulsbreitenlogik 186, den Q-Ausgang des Resynchronisierlatch 187A und den Q-Ausgang des Nachlade-logiklatch 164A angeschlossen sind. Das Voriesynchronisierlatch 184A wird daher durch die Vorderflanke des von der Impulsbreitenlogik 186 kommenden Impulsbreitensteuersignals zurückgestellt und bis nach dem Nachladesignal zurückgestellt gehalten.

Das Q-Ausgangssignal des Latch 184A geht über einen Inverter 184C an den Takteingang des Batterielatch 162A, um eine Kontrolle der Batteriespannung zu bewirken. Dem Dateneingang des Batterielatch 162A wird das Signal BATTERIE zugeführt, das auf logisch "1" steht, solange die Spannung der Batterie 44 den Mindestwert übersteigt. Die Batteriekontrolle wird bewirkt, indem das Batterielatch 162A auf den Wert des BATTERIE-Signals getaktet wird, unmittelbar bevor der Impuls-generator 16 einen Reizimpuls abgibt, um eine momentane Stromentnahme aus der Batterie aufgrund des Impulses unberücksichtigt zu lassen.

Das Ausgangssignal des Inverters 184C der Voriesynchronisierlogik 184 geht ferner an einen Eingang einer NOR-Schaltung 158A der Taktlogik 158. Der andere Eingang der NOR-Schaltung 158A ist an den Q-Ausgang des Latch 186D angeschlossen. Am Ausgang der NOR-Schaltung 158A erscheint das Signal VCO-ENTSPERRUNG, das der analogen Schaltungsstufe 42 zugeführt wird, um dem dort vorhandenen spannungsgesteuerten Oszillator die Anlieferung von Impulsen zu ermöglichen. Normalerweise liegt dieses Signal auf logisch "1". Wenn jedoch das Voriesynchronisierlatch 184A gesetzt wird, bleibt das Signal VCO-ENTSPERRUNG logisch "0", solange das Latch 186D gesetzt ist, was die Anlieferung von VCO-Impulsen ermöglicht. Das Ausgangssignal der NOR-Schaltung 158A geht ferner zum Steuereingang eines Übertragungsgatters 158B, an dem das Taktsignal von dem externen Quarzoszillator (XTAL) anliegt. Es wird ferner über einen Inverter 158D auf den Steuereingang eines Übertragungsgatters 158C gegeben, an dem das VCO-Taktsignal anliegt. Die Ausgänge der Übertragungsgatter 158B und 158C sind zusammengeschaltet und liefern das Taktsignal der Taktlogik 158.

Das Q-Ausgangssignal des Voriesynchronisierlatch 184A geht dem einen Eingang einer NOR-Schaltung

186A der Impulsbreitenlogik 186 zu. Die Impulsbreitenlogik 186 umfaßt ferner NAND-Schaltungen 186B und 186C, das Latch 186D, eine NOR-Schaltung 186E und eine NAND-Schaltung 186F. Dem zweiten Eingang der NOR-Schaltung 186A wird das Q-Ausgangssignal des Latch 154G zugeführt. Das Ausgangssignal der NOR-Schaltung 186A geht an den einen Eingang der NAND-Schaltung 186B, deren anderer Eingang an den Q-Ausgang des Latch 186D angeschlossen ist. Der Ausgang der NAND-Schaltung 186B ist mit dem einen Eingang der NOR-Schaltung 186C verbunden. An der NOR-Schaltung 186E liegen das Ausgangssignal der NOR-Schaltung 188D der Verifizierimpulslogik 188 und das Ausgangssignal eines Inverters 157J der Impulsbreiten-decodierlogik 157 an. Das Ausgangssignal der NOR-Schaltung 186E wird dem einen Eingang der NAND-Schaltung 186F zugeführt.

Das andere Eingangssignal der NAND-Schaltung 186F kommt von dem Q-Ausgang des Latch 186D. Das Ausgangssignal der NAND-Schaltung 186F geht an den anderen Eingang der NAND-Schaltung 186C, deren Ausgang an den Dateneingang des Latch 186D angeschlossen ist. Der Takteingang des Latch 186D wird mit dem von der analogen Schaltungsstufe 42 kommenden VCO-Taktsignal beaufschlagt.

Die Impulsbreitendecodierlogik 157 weist exklusive NOR-Schaltungen 157A bis 157G auf, deren Ausgänge an eine NOR-Schaltung 157H angeschlossen sind. Der Ausgang der NOR-Schaltung 157H ist mit einem Eingang einer NAND-Schaltung 157I verbunden, deren anderer Eingang an den Q-Ausgang des Latch 188B der Verifizierimpulslogik 188 angekoppelt ist. Der Ausgang der NAND-Schaltung 157I steht über den Inverter 147J mit der NOR-Schaltung 186E der Impulsbreitenlogik 186 in Verbindung. Ein Eingang jeder der NOR-Schaltungen 157B bis 157G ist an jeweils eine Stufe des Impulsbreitenteils des Speichers 140 angeschlossen. Der Q-Ausgang des Latch 152G des Zählers 152 ist mit dem anderen Eingang der NOR-Schaltung 157G verbunden. Der Q-Ausgang des Latch 152F ist an den anderen Eingang der NOR-Schaltung 157F angeschlossen. Dem anderen Eingang der NOR-Schaltung 157E wird das Q-Ausgangssignal des Latch 152E zugeführt. Die anderen Eingänge der NOR-Schaltungen 157B, 157C und 157D sind an den Ausgang von NOR-Schaltungen 157M, 157N und 157O angeschlossen. Beide Eingänge der NOR-Schaltung 157A stehen mit NOR-Schaltungen 157K und 157L in Verbindung. Ein Eingang jeder der NOR-Schaltungen 157K bis 157O wird mit dem Signal VCO-ENTSPERRUNG von der Taktlogik 158 beaufschlagt. Die Q-Ausgänge der Latches 152B, 152C und 152D sind an die anderen Eingänge der NOR-Schaltungen 157M, 157N und 157O angeschlossen, während die Q-Ausgänge der Latches 152A und 152B mit den anderen Eingängen der NOR-Schaltungen 157K und 157L verbunden sind.

Die NOR-Schaltungen 157K bis 157O werden entsperrt, wenn das Signal VCO-ENTSPERRUNG logisch "0" wird, so daß die exklusiven ODER-Schaltungen 157B bis 157G den Zählwert der zweiten bis siebten Stufe des Zählers 152 mit dem Code im Impulsbreitenteil des Speichers 140 vergleichen können. Wenn Übereinstimmung auftritt und die Ausgänge der ODER-Schaltungen 157A bis 157G jeweils auf logisch "0" stehen, springt der Ausgang der NOR-Schaltung 157H auf logisch "1". Solange die NAND-Schaltung 157I nicht durch die Verifizierimpulslogik gesperrt wird, läuft das Signal logisch "1" von der NOR-Schaltung 157H über die NAND-

Schaltung 157/ und den Inverter 157/ zur NOR-Schaltung 185E der Impulsbreitenlogik 186.

Im Betrieb wird das Impulsbreitenlogiklatch 186D in Abhängigkeit von dem Setzen des Vorresynchronisierlatch 184A gesetzt, um die Vorderflanke des Reizimpulses zu bestimmen. Nachdem die programmierte Impulsbreitendauer verstrichen ist, wird das Latch 186D zurückgestellt. Der Ausgangssteuerimpuls vom Q-Ausgang des Latch 186D ist also ein logisch "1" Impulssignal mit einer der programmierten Impulsbreite entsprechenden Dauer. Dieses Signal wird an den einen Eingang von NAND-Schaltungen 178A und 178B der Ausgangslogik 178 angelegt, zu der ferner Inverter 178C, 178D und 178E gehören.

Hierzu 8 Blatt Zeichnungen

Best Available Copy

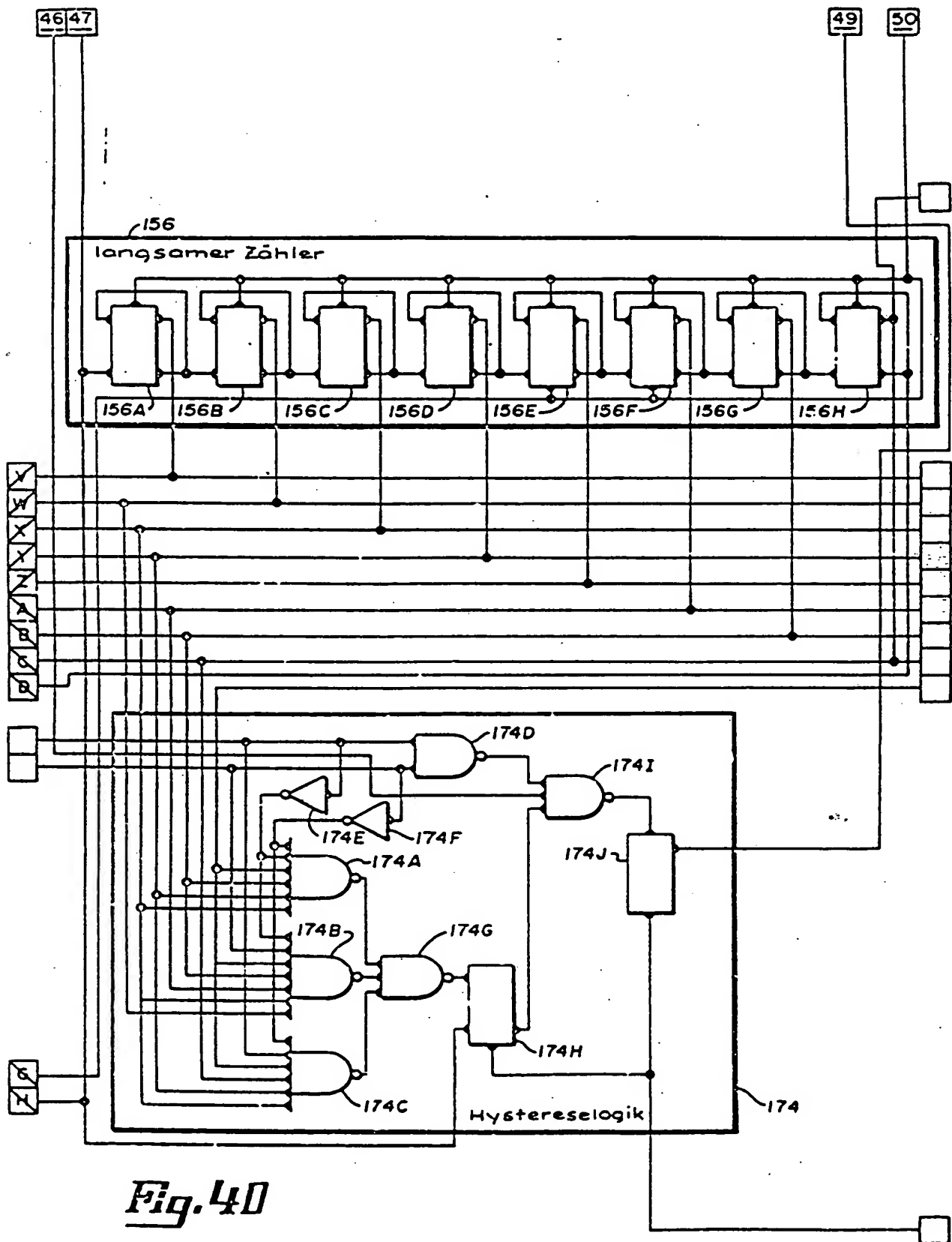


Fig. 40

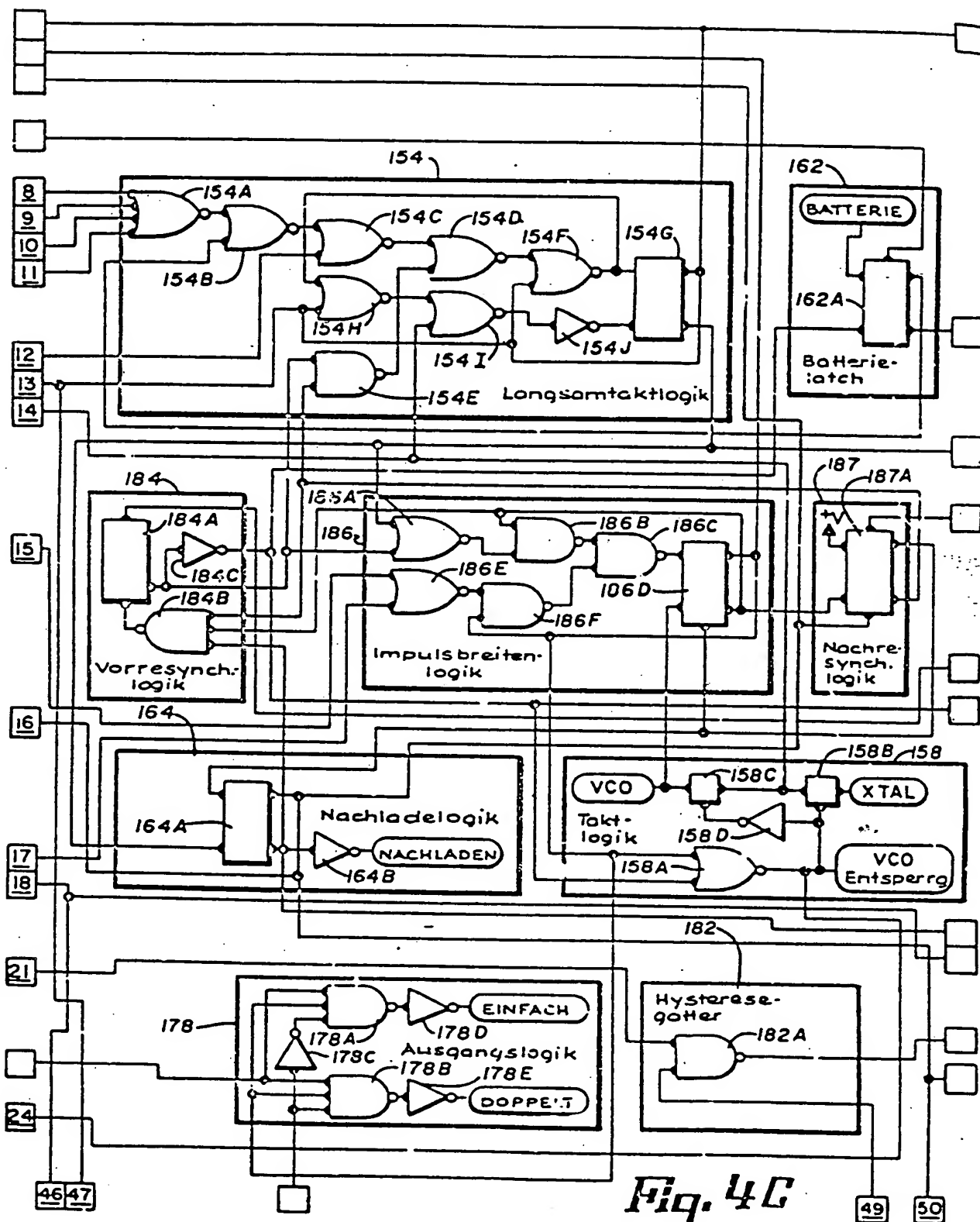


Fig. 4C

Fig. 4B

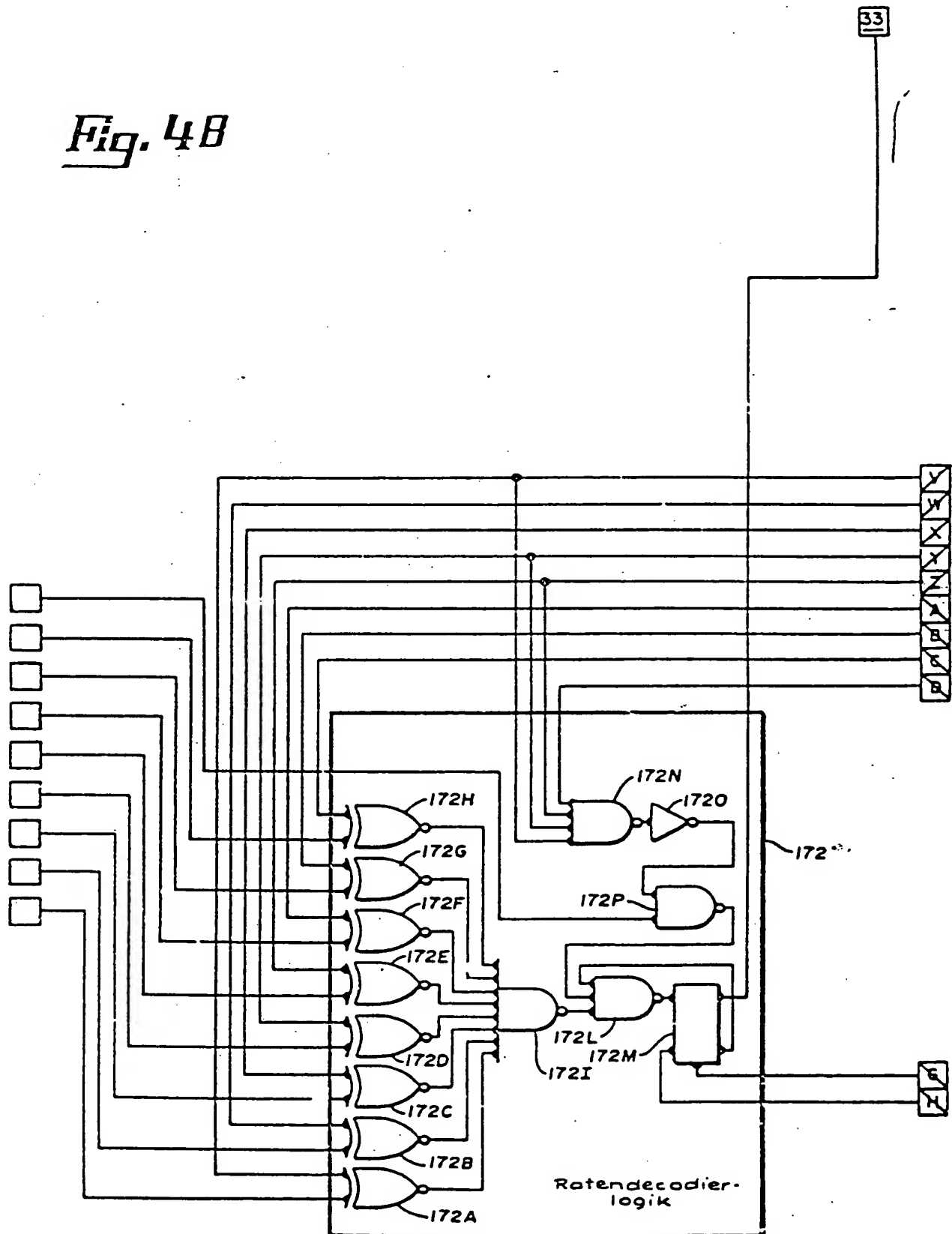


Fig. 4A

Best Available Copy

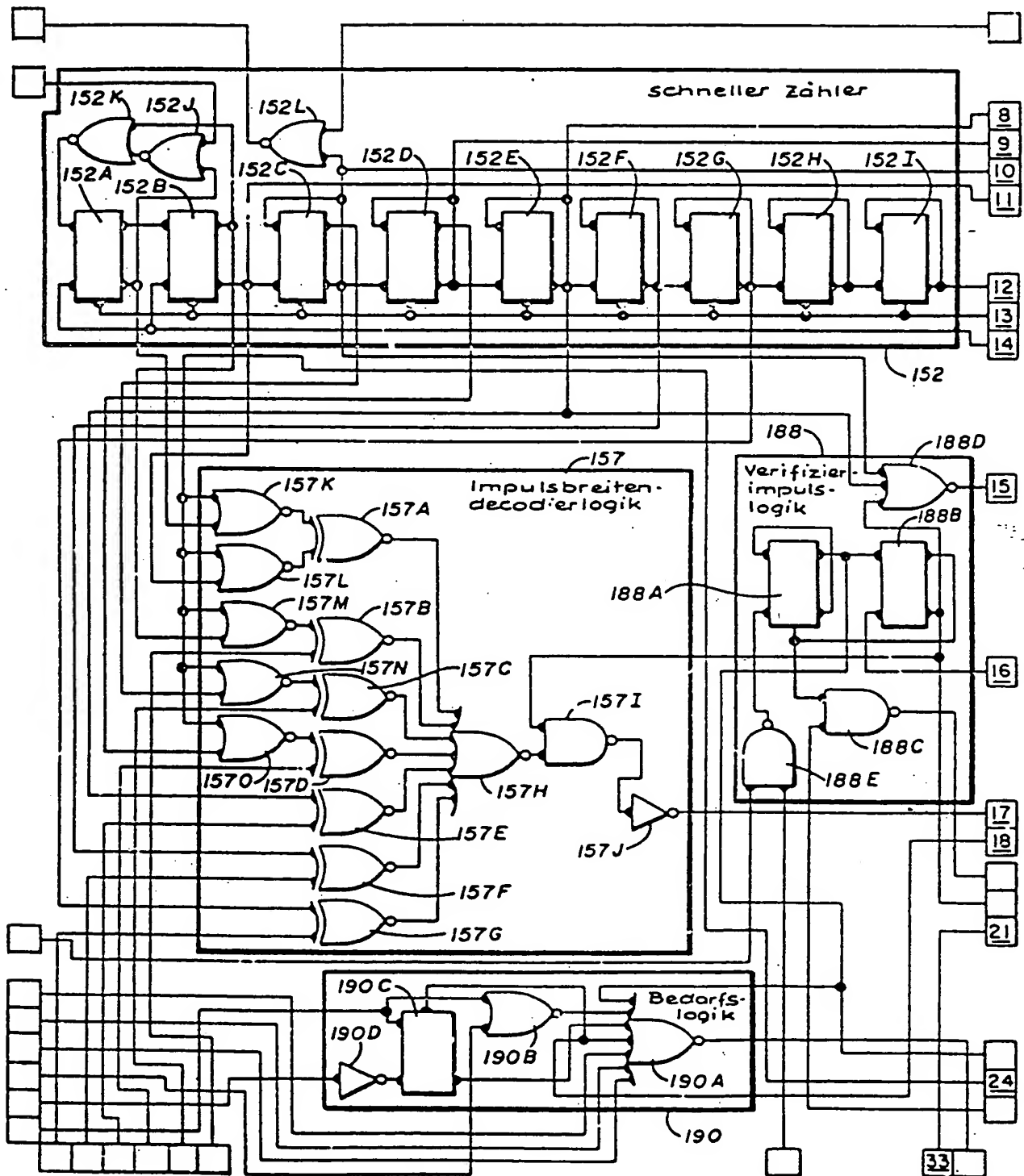
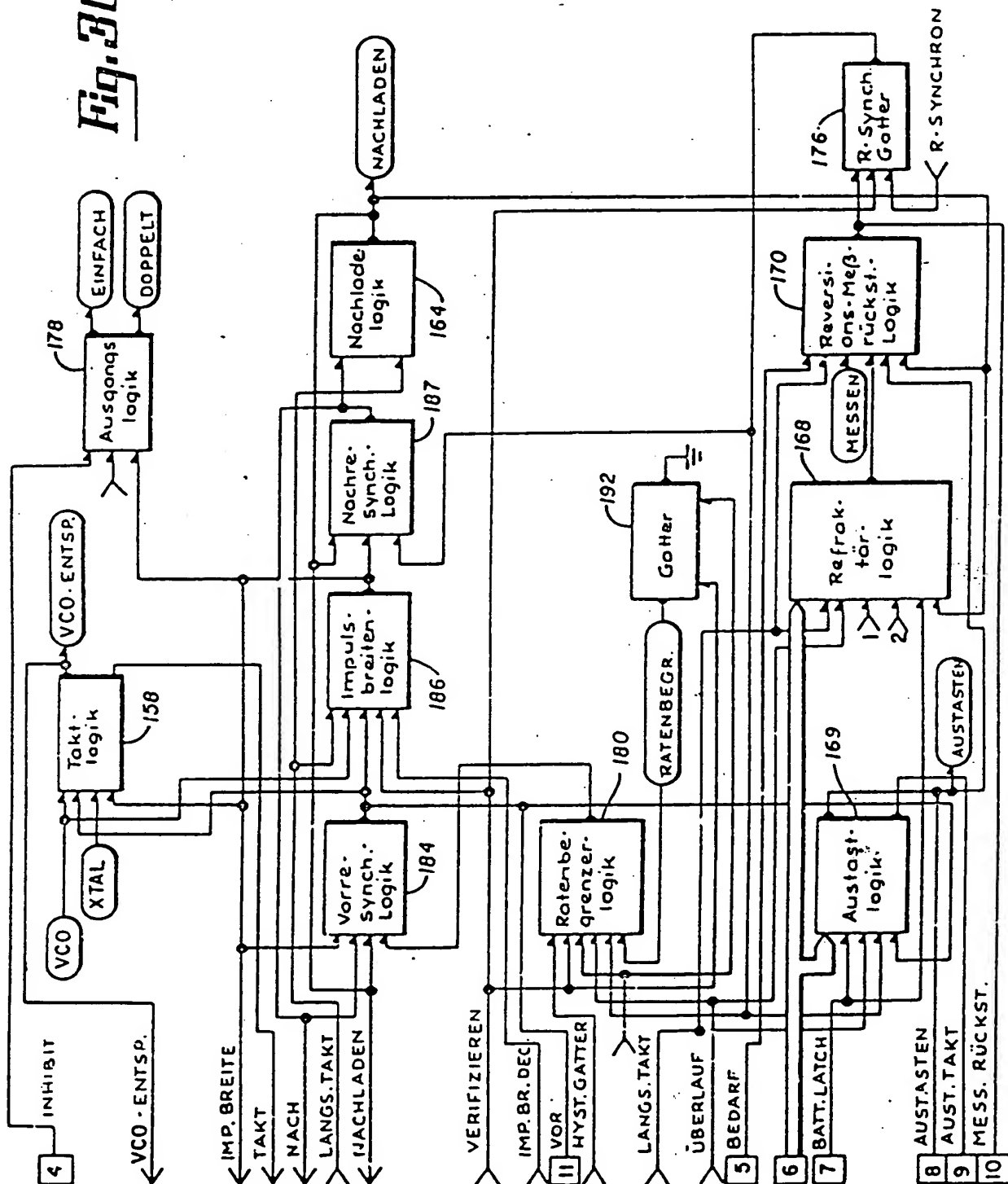
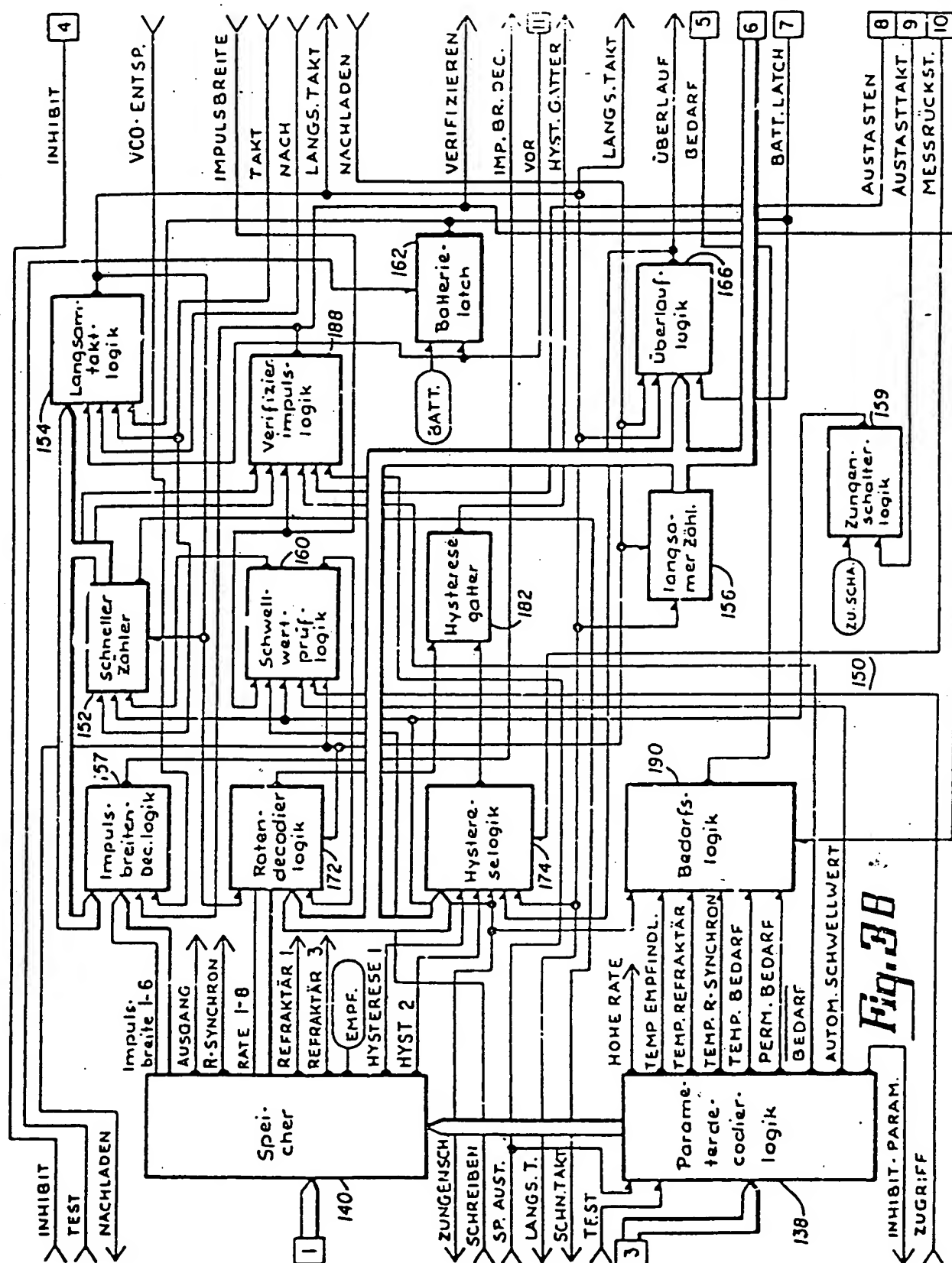
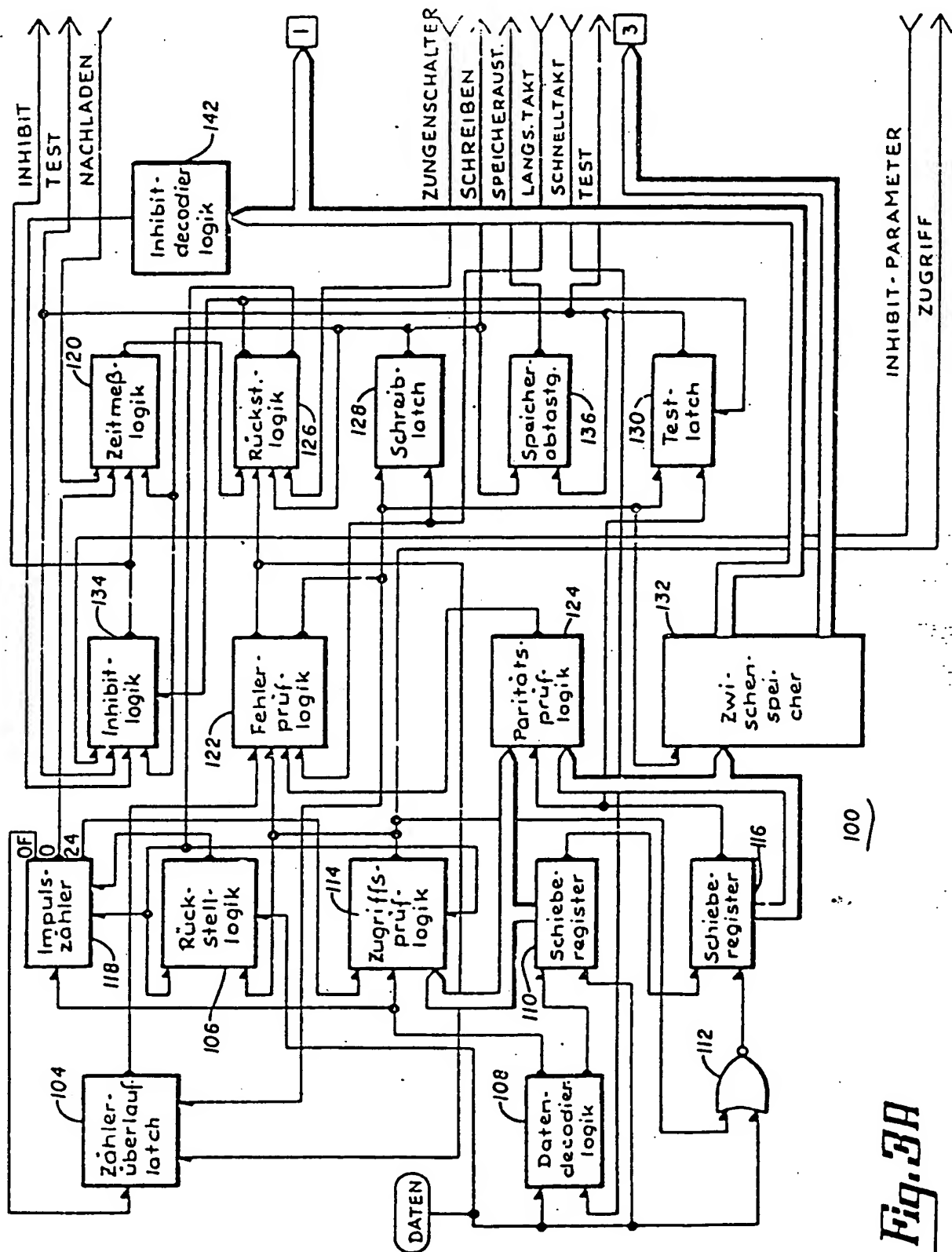


Fig. 3C







Best Available Copy

Fig. 3A

Fig. 1

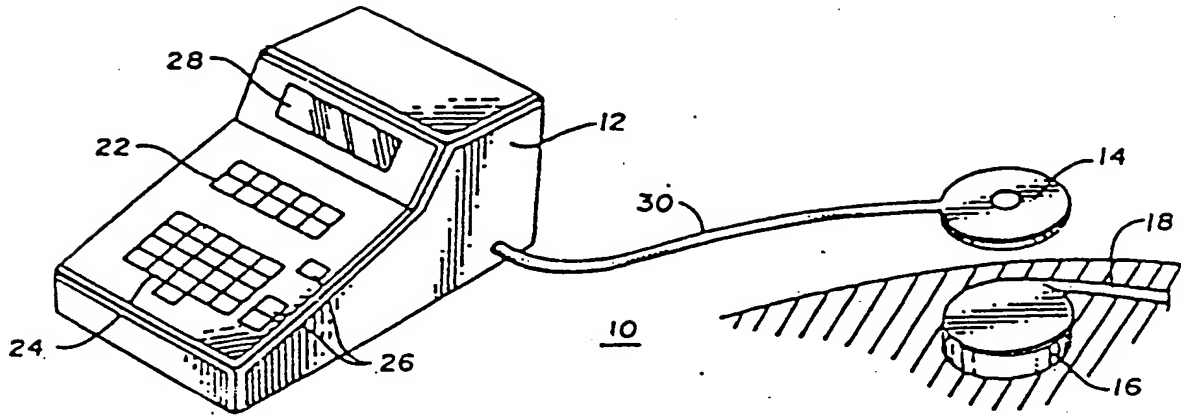
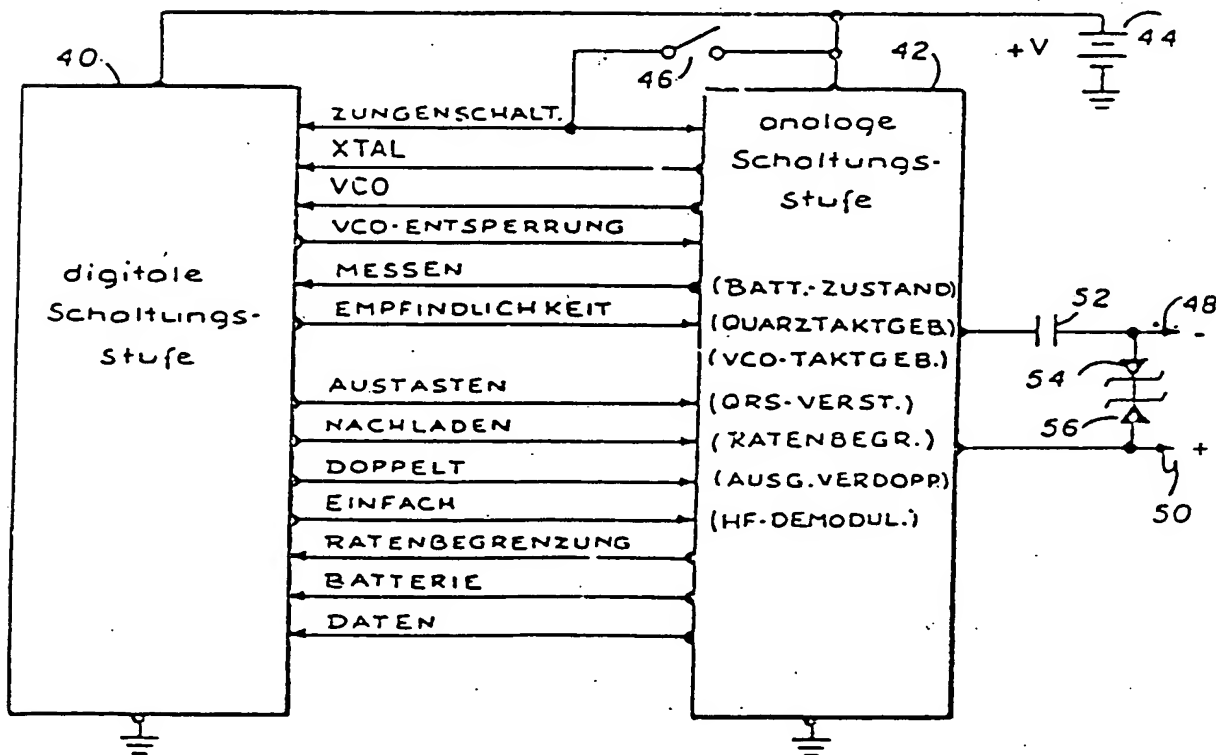


Fig. 2



Best Available Copy